

## EFFICIENCY OF ADAPTIVE ARRAY ALGORITHMS IMPLEMENTATION BASED ON 1892BM3T "MULTICORE" FAMILY DIGITAL SIGNAL PROCESSOR

Pletneva I.

Telecommunication System Department, Moscow State Institute of Electronic Technology  
5 Building, 4806 Avenue, Zelenograd, Moscow, Russia 124498, email: pletnevaaid@mail.ru

Nowadays, arrays are widely used in wireless communication and radar systems due to their ability of electronic scanning, signal-to-noise and signal-to-interference ratios improvement. Last feature of the arrays is achieved by means of the spatial suppressing of interferences. Arrays that are able to suppress the interferences are called adaptive arrays (AA). The interference suppression is achieved by creating the deeps in directional pattern towards unknown directions of interference source.

The adaptive Recursive Least Squares (RLS), Normalized Least Mean Square (NLMS) and Affine Projection (AP) algorithms, used for Constant Modulus (CM) AA control have different computational complexities and efficiencies. An implementation of an algorithm, optimal from the point of view of computational complexity, permits to increase sampling frequency and the frequency band of signals received by adaptive array. Modern Digital Signal Processors (DSPs) allow the effective implementation of adaptive algorithms due to their high efficiency and particular architectures.

This work analyses the efficiency of above mentioned algorithms, which are implemented on the base of the first domestically produced "Multicore" family signal controller 1892BM3T. The VLSI is a signal controller with a floating point arithmetic containing RISC and DSP cores in a chip. In the considered task the RISC-core receives digitized antenna signals and transmits it to the DSP-core. DSP-core carries out all computations according to the algorithm placed in it and calculates the AA output signal.

The 1892BM3T DSP data memory is divided into two independent blocks XRAM and YRAM, 96 Kbyte and 48 Kbyte correspondingly. The presence of two address generators (AGU and AGU-Y) makes it possible to move two operands simultaneously during the same processor cycle. The Very Long Instruction Word (VLIW) architecture of the DSP permits parallel implementation of several arithmetic and move operations per a cycle.

The evaluation of data memory words number (32-bits wide) for the considered algorithms produces the following dependencies:  $DW = (10N)$  – for the NLMS,  $DW = (6L^2 + 2(N * L) + 5L + 14N)$  – for the AP and  $DW = (2N^2 + 19N + 4)$  – for the RLS algorithms. Here  $N$  is a number of AA antennas,  $L$  is the length of the gradient calculation sliding window expressed in the number of processed signal samples.

The computational complexity of algorithm is evaluated in number of DSP cycles per iteration –  $K_{DSP}(N)$ . While the processor clock rate –  $F_{DSP}$  (for the fixed number of AA elements), number of DSP cycles per iteration –  $K_{DSP}(N)$  and samples number per symbol –  $K_{SPS}$  are known, the highest possible received symbol rate can be determined as  $R_s = F_{DSP} / [K_{DSP}(N)K_{SPS}]$ .

The comparison of RLS, NLMS and AP algorithms productivity revealed the profit of AP-algorithm against RLS-algorithm for the more then 16 elements antenna arrays. Though AP-algorithm yields in productivity to the NLMS algorithm the first has greater convergence velocity and smaller error in the steady-state mode.

## ХАРАКТЕРИСТИКА ПОМЕХОУСТОЙЧИВОСТИ ПРИЕМНИКА СПУТНИКОВЫХ СИГНАЛОВ DVB-S2

Чикин А.В., Овечкин Г.В.

НИИР

### ВВЕДЕНИЕ

Для доставки пользовательского и служебного трафика (телевидение, интернет и т.п.) по спутниковым каналам, а также для организации интерактивных спутниковых сетей международная организация ETSI и Комитетом DVB утвердили новый стандарт DVB-S2 [1]. На базе DVB-S2 могут строиться сети для распространения ТВ программ стандартной или высокой четкости, сети для предоставления интерактивных услуг, например, доступа в Интернет, сети для профессиональных приложений, таких как передача цифрового ТВ от студии к студии, сбор новостей и раздача сигнала на эфирные ретрансляторы. Это второе поколение стандарта для спутникового вещания, разработанное Комитетом DVB в 1997 году [2]. Новый стандарт DVB-S2 также удобен для формирования сетей передачи данных и создания IP-магистралей.

Отличительной особенностью данного стандарта является использование самых последних достижений в области канального кодирования (LDPC коды и длинные BCH коды) в сочетании с различными форматами модуляции (QPSK, 8PSK, 16APSK и 32APSK), что до 30% увеличивает спектральную эффективность спутникового канала.

### УСТРОЙСТВО ПРИЕМА СПУТНИКОВЫХ СИГНАЛОВ DVB-S2

В НИИР разработан экспериментальный образец устройства приема спутниковых сигналов стандарта DVB-S2 (рис.1).

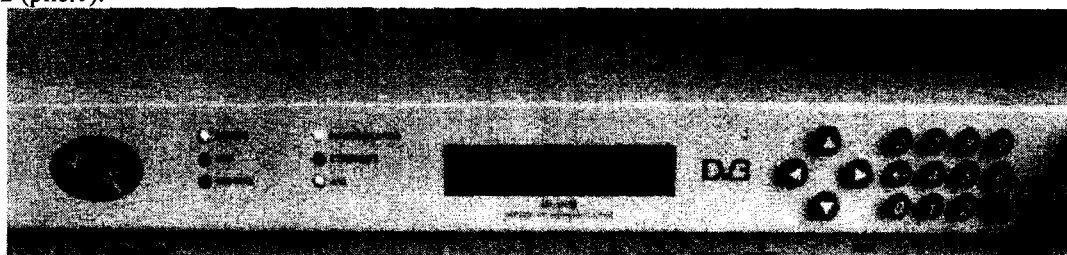


Рис.1 Общий вид демодулятора

Он состоит из линейного радиочастотного тракта L-диапазона, демодулятора, блока кадровой синхронизации, декодера и процессора управления (рис.2).

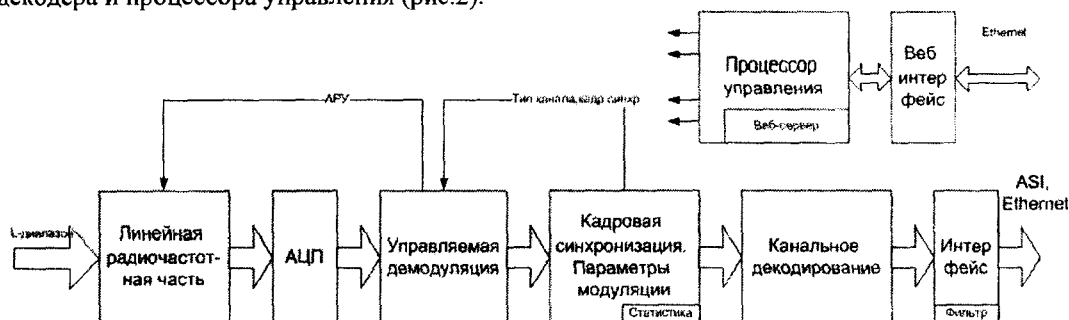


Рис. 2. Структурная схема приемника

Диапазон рабочих частот устройства 950 – 2150 МГц. Возможна работа с видами модуляции QPSK, 8PSK при символьных скоростях от 1 до 45 Мс/сек. Перечень скоростей помехоустойчивого кода: 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, 9/10, что обеспечивает диапазон информационных скоростей от 0.25 до 120 Мбит/сек. Выходные интерфейсы: ASI и Gigabit Ethernet.

#### ХАРАКТЕРИСТИКИ

На рис.3 представлены зависимости вероятности ошибки декодирования на бит от отношения сигнал шум в канале с АБГШ при использовании модуляции типа QPSK для декодера DVB-S2 кода с нормальной длиной кадра и с различными кодовыми скоростями. Данные результаты получены путем моделирования на ЭВМ. Отметим, что полученные результаты по энергетике уступают идеальным значениям, представленным в стандарте EN 302307[2], не более 0.6 дБ, что является в настоящее время значительным результатом.

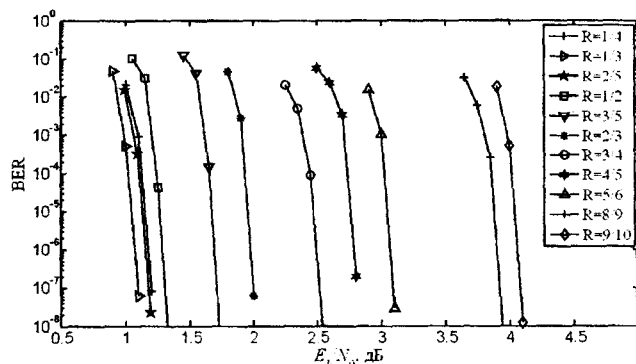


Рис. 3. Эффективность декодеров LDPC кода длиной 64800 и различной кодовой скоростью в канале с АБГШ при QPSK модуляции

Также заметим, что в конце 2008 г. были проведены испытания демодулятора DVB-S2 на помехоустойчивость, которые показали хорошее соответствие результатам моделирования. Результаты испытаний на помехоустойчивость сведены в табл. 1. Для сравнения в этой же таблице представлены данные по помехоустойчивости демодулятора CDM-710 компании Comtech.

Таблица 1. Значения  $E_b/N_0$ , дБ, требующиеся для достижения  $BER=10^{-7}$

Параметры кода	Стандарт EN302307	CDM-710	Демодулятор НИИР
R=1/2, QPSK	1.05	1.6	1.9
R=3/5, QPSK	1.48	2.0	2.3
R=2/3, QPSK	1.89	2.4	2.7
R=3/4, QPSK	2.31	2.9	3.2

R=4/5, QPSK	2.67	3.2	3.5
R=5/6, QPSK	2.99	3.5	3.8
R=8/9, QPSK	3.73	4.3	4.6
R=9/10, QPSK	3.89	4.4	4.7
R=3/5, 8PSK	3.00	3.7	4.0
R=2/3, 8PSK	3.65	4.4	4.7
R=3/4, 8PSK	4.43	5.2	5.5
R=5/6, 8PSK	5.41	6.2	6.5
R=8/9, 8PSK	6.46	7.3	7.6
R=9/10, 8PSK	6.70	7.5	7.8

Отметим, что разница в эффективности разработанного в НИИР демодулятора и CDM-710 примерно 0.3 дБ.

### ВЫВОДЫ

Следует отметить, что новый стандарт стремительно вводится в эксплуатацию и заменяет старые стандарты. Сегодня в мире уже работает множество коммерческих спутниковых сетей. Практика их использования показывает превосходные результаты и, следовательно, стимулирует рост потребности соответствующих приемных устройств на российском рынке.

### Литература

1. Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services. ETSI EN 300 421 (v. 1.1.2 08.1997).
2. European Telecommunications Standards Institute. Digital video broadcasting (DVB) second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications. DRAFT EN 302 307 (v. 1.1.2 06.2006).

## THE PERFORMANCE OF NEW RECEIVER FOR DVB-S2 SIGNAL

Chikin A., Ovechkin G.

NII Radio, Moscow, e-mail: [avchikin@mail.ru](mailto:avchikin@mail.ru), [g\\_ovechkin@mail.ru](mailto:g_ovechkin@mail.ru)

In this paper we propose a new DVB-S2 digital receiver. The receiver supports all code rates of DVB-S2 standard and can receive the data flow with rate up to 120 Mbit/s. It's shown the bit-error rate performance of the receiver is close to values stated in the standard.

## ПОЛУЧЕНИЕ ПОСЛЕДОВАТЕЛЬНОСТИ ИМПУЛЬСОВ С ВЫСОКИМИ ТРЕБОВАНИЯМИ К СТАБИЛЬНОСТИ ВРЕМЕННОЙ ДИАГРАММЫ НА БАЗЕ ПРОЦЕССОРОВ СЕМЕЙСТВА SHARC 21XXX

Ботвинёнок А.А., Кирпичников А.П.

Московский физико-технический институт (государственный университет)

При проектировании различных радиоэлектронных устройств часто возникает задача построения точной временной диаграммы для управления внешними цепями. В зависимости от предъявленных требований к стабильности, эту задачу можно решать различными способами. С помощью ПЛМ и ПЛИС можно добиться отличных результатов как по точности соблюдения диаграммы, так и по джиттеру (временной нестабильности), однако это решение повышает стоимость устройства, энергопотребление. Кроме того, на плате в распоряжении разработчика обычно есть один или несколько скоростных процессоров, на первый взгляд, пригодных для формирования диаграмм. В эксперименте была поставлена задача попытаться реализовать временную диаграмму с помощью этих ресурсов, отказавшись от дополнительных микросхем.

В качестве примера были взяты платы ЦОС, на которых основными (или единственными) процессорами были DSP семейства Sharc – ADSP-21161/262/362, на которых дополнительно требовалось реализовать схему управления внешним устройством (посредством нескольких импульсов по трём управляющим шинам), жестко привязанную к внешнему синхроимпульсу. При этом требовалось получить джиттер не более 5 нс и разрешалось варьировать частоту процессора с условием невмешательства в исполнение основной программы.

Для решения подобной задачи внешний синхроимпульс подавался на наиболее приоритетное прерывание (IRQ2) процессора, а выдача сигналов осуществлялась через флаги (ADSP-21161) или флагов и DAI (ADSP-21262/362). Добиться требуемой временной диаграммы можно двумя способами: традиционным - с использованием таймеров, или используя цепочки команд в качестве задержек. При этом используемые типы процессоров отличаются, ввиду времени обработки прерываний, минимальной задержкой выходных импульсов, реализуемых во временной диаграмме (например для 21362 – около 50 нс). При этом высокие частоты работы процессоров позволяют получить дискретность временной диаграммы 10-20 нс, чего вполне достаточно для большинства приложений. Однако основной вопрос здесь – стабильность (отсутствие джит-